

# ISO6760L 具有集成互锁功能和优异 EMC 性能的六通道增强型数字隔离器

## 1 特性

- 具有集成互锁功能的 ISO6760
  - 旨在支持相邻通道的相反极性
  - 三组成对互锁通道
- 稳健可靠的隔离栅：
  - 在 1500 V<sub>RMS</sub> 工作电压下具有超长的寿命
  - 隔离等级高达 5000 V<sub>RMS</sub>
  - 浪涌能力高达 10kV
  - CMTI 典型值为 ±130 kV/μs
- 宽电源电压范围：1.71V 到 1.89V 和 2.25V 到 5.5V
- 同相 (ISO6760L) 和反相 (ISO6760LN) 通道输出选项
- 50Mbps 数据速率
- 1.71V 至 5.5V 电平转换
- 宽温度范围：-40°C 至 125°C
- 1Mbps 时的每通道电流典型值为 1.4 mA
- 优异的电磁兼容性 (EMC)
  - 系统级 ESD、EFT 和浪涌抗扰性
  - 低辐射
- 宽体 SOIC (DW-16) 封装
- 安全相关认证：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
  - IEC 62368-1、IEC 61010-1、IEC 60601-1 和 GB 4943.1 认证

## 2 应用

- 电机驱动器
- 电器
- 电网
- 楼宇自动化

## 3 说明

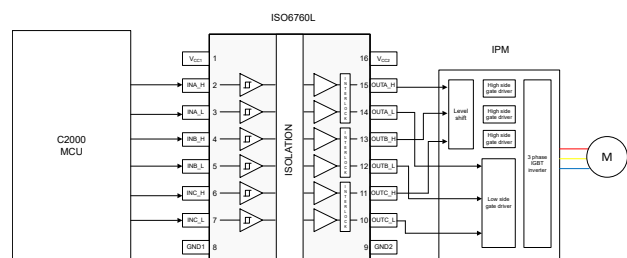
ISO6760L 和 ISO6760LN 器件是高性能六通道数字隔离器，具有集成式互锁功能，可提供符合 UL 1577 的 5000 V<sub>RMS</sub> 隔离额定值，非常适合具有此类需求的应用。这些器件还通过了 VDE、TUV、CSA 和 CQC 认证。

ISO6760L 系列器件集成了一系列逻辑门，可为相邻通道提供硬件互锁功能。互锁功能可确保通道对中的每个通道不会同时启用。如果通道对中的两个通道共享相同的输入逻辑，则输出逻辑将始终为低电平。ISO6760L 系列器件具有六个同向通道，在隔离 CMOS 或 LVCMOS 数字 I/O 的同时，还可提供高电磁抗扰度和低辐射，同时具备低功耗特性。每条隔离通道的逻辑输入和输出缓冲器均由 TI 的双电容二氧化硅 (SiO<sub>2</sub>) 绝缘栅相隔离。

与智能电源模块 (IPM) 结合使用时，这些器件中的互锁功能有助于防止在开启和关闭事件期间高侧和低侧栅极驱动器之间发生击穿电流。六个通道 (包括三对互锁电路) 集成在一个 16 引脚 SOIC 宽体 (DW) 封装中，与光耦合器解决方案相比，实现了超过 50% 的空间节省。凭借创新型芯片设计和布线技术，ISO6760L 器件的电磁兼容性得到了显著增强，可缓解系统级 ESD、EFT 和浪涌问题并符合辐射标准。

### 器件描述

器件型号	封装	封装尺寸
ISO6760L、 ISO6760LN	SOIC (DW)	10.30mm x 7.50mm



简化原理图



## 内容

<b>1 特性</b> .....	1	6.20 开关特征 - 1.8V 电源	16
<b>2 应用</b> .....	1	6.21 绝缘特性曲线	17
<b>3 说明</b> .....	1	6.22 典型特性	18
<b>4 修订历史记录</b> .....	2	<b>7 参数测量信息</b> .....	19
<b>5 引脚配置和功能</b> .....	3	<b>8 详细说明</b> .....	20
<b>6 规格</b> .....	4	8.1 概述	20
6.1 绝对最大额定值	4	8.2 功能方框图	20
6.2 ESD 等级	4	8.3 特性说明	21
6.3 建议工作条件	5	8.4 器件功能模式	23
6.4 热性能信息	6	<b>9 应用和实施</b> .....	24
6.5 额定功率	6	9.1 应用信息	24
6.6 绝缘规格	7	9.2 典型应用	25
6.7 安全相关认证	8	<b>10 绝缘寿命</b> .....	28
6.8 安全限值	8	<b>11 电源相关建议</b> .....	29
6.9 电气特征 - 5V 电源	9	<b>12 布局</b> .....	30
6.10 电源电流特征 - 5V 电源	9	12.1 布局指南	30
6.11 电气特征 - 3.3V 电源	10	12.2 布局布线示例	30
6.12 电源电流特征 - 3.3V 电源	10	<b>13 器件和文档支持</b> .....	32
6.13 电气特征 - 2.5V 电源	11	13.1 文档支持	32
6.14 电源电流特征 - 2.5V 电源	11	13.2 接收文档更新通知	32
6.15 电气特征 - 1.8V 电源	12	13.3 支持资源	32
6.16 电源电流特征 - 1.8V 电源	12	13.4 商标	32
6.17 开关特征 - 5V 电源	13	13.5 静电放电警告	32
6.18 开关特征 - 3.3V 电源	14	13.6 术语表	32
6.19 开关特征 - 2.5V 电源	15	<b>14 机械、封装和可订购信息</b> .....	32

## 4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

### Changes from Revision \* (December 2021) to Revision A (February 2023)

Page

• 将整个文档中的标准名称从“DIN V VDE V 0884-11:2017-01”更改为“DIN EN IEC 60747-17 (VDE 0884-17)”	1
• 通篇删除了对标准 IEC/EN/CSA 60950-1 的引用	1
• 通篇更新了标记为“计划”的标准，以包含证书编号	1
• 通篇删除了所有标准名称中的标准版本和年份参考	1
• 根据 DIN EN IEC 60747-17 (VDE 0884-17) 添加了最大脉冲电压 ( $V_{IMP}$ ) 规格	7
• 根据 DIN EN IEC 60747-17 (VDE 0884-17) 更改了最大浪涌隔离电压 ( $V_{IOSM}$ ) 规格的测试条件和值	7
• 阐明了视在电荷 ( $q_{PD}$ ) 的方法 b 测试条件	7
• 将最大浪涌隔离电压 ( $V_{IOSM}$ ) 从 6250V <sub>PK</sub> 更改为 10000V <sub>PK</sub>	8
• 将工作电压寿命裕度从 87.5% 更改为 50%，将所需的最短绝缘寿命从 37.5 年更改为 30 年，将遵循 DIN EN IEC 60747-17 (VDE 0884-17) 标准，要求 TDDb 数据的绝缘寿命从 220 年更改为 36 年	28
• 根据 DIN EN IEC 60747-17 (VDE 0884-17) 对图 10-2 进行了更改	28
• 更新了 DW0016B 机械图纸	32

## 5 引脚配置和功能

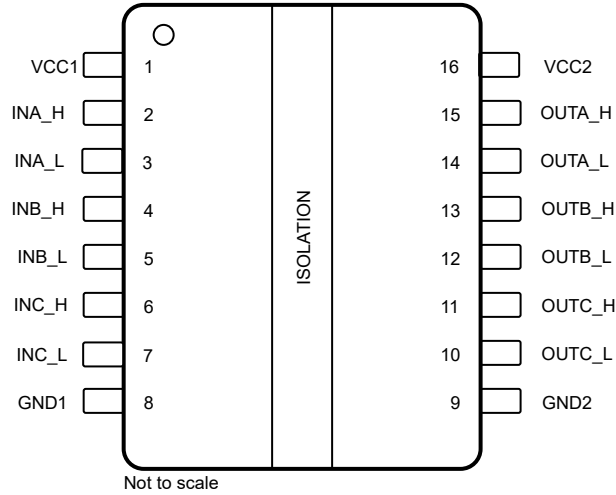


图 5-1. ISO6760L DW 封装 16 引脚 SOIC-WB 顶视图

表 5-1. 引脚功能

引脚		I/O	说明
名称	ISO6760L		
GND1	8	—	V <sub>CC1</sub> 的接地连接
GND2	9	—	V <sub>CC2</sub> 的接地连接
INA_H	2	I	输入, 通道 A_H (与通道 A_L 配对互锁)
INA_L	3	I	输入, 通道 A_L (与通道 A_H 配对互锁)
INB_H	4	I	输入, 通道 B_H (与通道 B_L 配对互锁)
INB_L	5	I	输入, 通道 B_L (与通道 B_H 配对互锁)
INC_H	6	I	输入, 通道 C_H (与通道 C_L 配对互锁)
INC_L	7	I	输入, 通道 C_L (与通道 C_H 配对互锁)
OUTA_H	15	O	输出, 通道 A_H (与通道 A_L 配对互锁)
OUTA_L	14	O	输出, 通道 A_L (与通道 A_H 配对互锁)
OUTB_H	13	O	输出, 通道 B_H (与通道 B_L 配对互锁)
OUTB_L	12	O	输出, 通道 B_L (与通道 B_H 配对互锁)
OUTC_H	11	O	输出, 通道 C_H (与通道 C_L 配对互锁)
OUTC_L	10	O	输出, 通道 C_L (与通道 C_H 配对互锁)
V <sub>CC1</sub>	1	—	电源, 侧 1
V <sub>CC2</sub>	16	—	电源, 侧 2

## 6 规格

### 6.1 绝对最大额定值

请参阅<sup>(1)</sup>

		最小值	最大值	单位
电源电压 <sup>(2)</sup>	V <sub>CC1</sub> 至 GND1	-0.5	6	V
	V <sub>CC2</sub> 至 GND2	-0.5	6	
输入/输出电压	IN <sub>x</sub> 至 GND <sub>x</sub>	-0.5	V <sub>CCX</sub> + 0.5 <sup>(3)</sup>	V
	OUT <sub>x</sub> 至 GND <sub>x</sub>	-0.5	V <sub>CCX</sub> + 0.5 <sup>(3)</sup>	
输出电流	I <sub>o</sub>	-15	15	mA
温度	运行结温, T <sub>J</sub>		150	°C
	贮存温度, T <sub>stg</sub>	-65	150	°C

- (1) 超出“绝对最大额定值”下列出的压力可能会对器件造成永久损坏。这些仅仅是压力额定值，并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子 ( GND1 或 GND2 ) 的峰值电压值
- (3) 最大电压不得超过 6V。

### 6.2 ESD 等级

(1) (2)

			值	单位
V <sub>(ESD)</sub>	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001, 所有引脚 <sup>(1)</sup>	±2000	V
	静电放电	充电器件模型 ( CDM ), 符合 JEDEC 规范 JESD22-C101, 所有引脚 <sup>(2)</sup>	±1500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

### 6.3 建议工作条件

		最小值	标称值	最大值	单位
$V_{CC1}$ <sup>(1)</sup>	电源电压, 1 侧 <sup>(3)</sup>	1.71		1.89	V
$V_{CC1}$ <sup>(1)</sup>	电源电压, 1 侧 <sup>(3)</sup>	2.25		5.5	V
$V_{CC2}$ <sup>(1)</sup>	电源电压, 2 侧 <sup>(3)</sup>	1.71		1.89	V
$V_{CC2}$ <sup>(1)</sup>	电源电压, 2 侧 <sup>(3)</sup>	2.25		5.5	V
$V_{CC}$ (UVLO+)	电源电压上升时的 UVLO 阈值		1.53	1.71	V
$V_{CC}$ (UVLO-)	电源电压下降时的 UVLO 阈值	1.1	1.41		V
$V_{hys}$ (UVLO)	电源电压 UVLO 迟滞	0.08	0.13		V
$V_{IH}$	高电平输入电压	$0.7 \times V_{CC1}$ <sup>(2)</sup>		$V_{CC1}$	V
$V_{IL}$	低电平输入电压	0		$0.3 \times V_{CC1}$	V
$I_{OH}$	高电平输出电流	$V_{CCO}$ <sup>(2)</sup> = 5V		-4	mA
		$V_{CCO}$ = 3.3V		-2	mA
		$V_{CCO}$ = 2.5V		-1	mA
		$V_{CCO}$ = 1.8V		-1	mA
$I_{OL}$	低电平输出电流	$V_{CCO}$ = 5V		4	mA
		$V_{CCO}$ = 3.3V		2	mA
		$V_{CCO}$ = 2.5V		1	mA
		$V_{CCO}$ = 1.8V		1	mA
DR	数据速率	$V_{CC}$ = 2.25 V 至 5.5 V	0	50	Mbps
		$V_{CC}$ = 1.71 V 至 1.89 V	0	25	Mbps
$T_A$	环境温度	-40	25	125	°C

- (1)  $V_{CC1}$  和  $V_{CC2}$  可彼此独立设置  
(2)  $V_{CC1}$  = 输入侧  $V_{CC}$ ;  $V_{CCO}$  = 输出侧  $V_{CC}$   
(3)  $1.89V < V_{CC1}$ ,  $V_{CC2} < 2.25V$  和  $1.05V < V_{CC1}$ ,  $V_{CC2} < 1.71V$  时, 通道输出为不确定状态

## 6.4 热性能信息

热指标 (1)		ISO6760L	单位
		DW (SOIC)	
		16 个引脚	
$R_{\theta JA}$	结至环境热阻	68.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	31.8	°C/W
$R_{\theta JB}$	结至电路板热阻	32.7	°C/W
$\psi_{JT}$	结至顶部特征参数	13.5	°C/W
$\psi_{JB}$	结至电路板特征参数	32.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

## 6.5 额定功率

参数		测试条件	最小值	典型值	最大值	单位
<b>ISO6760L</b>						
$P_D$	最大功耗 (两侧)	$V_{CC1} = V_{CC2} = 5.5V$ , $T_J = 150^\circ C$ , $C_L = 15pF$ , 输入 25MHz 50% 占空比方波			200	mW
$P_{D1}$	最大功耗 (侧 1)				45	mW
$P_{D2}$	最大功耗 (侧 2)				155	mW

## 6.6 绝缘规格

参数		测试条件	值	单位
			DW-16	
CLR	外部间隙 <sup>(1)</sup>	端子间的最短空间距离	>8	mm
CPG	外部爬电距离 <sup>(1)</sup>	端子间的最短封装表面距离	>8	mm
DTI	绝缘穿透距离	最小内部间隙	>17	um
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	>600	V
	材料组别	符合 IEC 60664-1	I	
	过压类别 (符合 IEC 60664-1)	额定市电电压 $\leq 600 V_{RMS}$	I-IV	
		额定市电电压 $\leq 1000V_{RMS}$	I-III	
<b>DIN EN IEC 60747-17 (VDE 0884-17) <sup>(2)</sup></b>				
$V_{IORM}$	最大重复峰值隔离电压	交流电压 (双极)	2121	$V_{PK}$
$V_{IOWM}$	最大工作隔离电压	交流电压; 时间依赖型电介质击穿 (TDDb) 测试; 请参阅 <a href="#">绝缘寿命预测数据</a>	1500	$V_{RMS}$
		直流电压	2121	$V_{DC}$
$V_{IOTM}$	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$ , $t = 60s$ ( 鉴定测试 ); $V_{TEST} = 1.2 \times V_{IOTM}$ , $t = 1s$ ( 100% 生产测试 )	7071	$V_{PK}$
$V_{IMP}$	最大脉冲电压 <sup>(3)</sup>	在空气中测试, 1.2/50 $\mu s$ 方波, 符合 IEC 62368-1	7692	$V_{PK}$
$V_{IOSM}$	最大浪涌隔离电压 <sup>(4)</sup>	$V_{IOSM} \geq 1.3 \times V_{IMP}$ ; 在油中测试 ( 鉴定测试 ) 1.2/50 $\mu s$ 方波, 符合 IEC 62368-1	10000	$V_{PK}$
$q_{pd}$	视在电荷 <sup>(5)</sup>	方法 a, 输入/输出安全测试子组 2/3 后, $V_{ini} = V_{IOTM}$ , $t_{ini} = 60s$ ; $V_{pd(m)} = 1.2 \times V_{IORM}$ , $t_m = 10s$	$\leq 5$	pC
		方法 a, 环境测试子组 1 后, $V_{ini} = V_{IOTM}$ , $t_{ini} = 60s$ ; $V_{pd(m)} = 1.6 \times V_{IORM}$ , $t_m = 10s$	$\leq 5$	
		方法 b: 常规测试 ( 100% 生产测试 ) 和预调节 ( 类型测试 ); $V_{ini} = 1.2 \times V_{IOTM}$ , $t_{ini} = 1s$ ; $V_{pd(m)} = 1.875 \times V_{IORM}$ , $t_m = 1s$ ( 方法 b1 ) 或 $V_{pd(m)} = V_{ini}$ , $t_m = t_{ini}$ ( 方法 b2 )	$\leq 5$	
$C_{IO}$	势垒电容, 输入至输出 <sup>(6)</sup>	$V_{IO} = 0.4 \times \sin(2\pi ft)$ , $f = 1MHz$	$\sim 1$	pF
$R_{IO}$	隔离电阻 <sup>(6)</sup>	$V_{IO} = 500V$ , $T_A = 25^\circ C$	$>10^{12}$	$\Omega$
		$V_{IO} = 500V$ , $100^\circ C \leq T_A \leq 125^\circ C$	$>10^{11}$	
		$V_{IO} = 500V$ , $T_S = 150^\circ C$	$>10^9$	
	污染等级		2	
	气候类别		40/125/21	
<b>UL 1577</b>				
$V_{ISO}$	最大耐受隔离电压	$V_{TEST} = V_{ISO}$ , $t = 60s$ ( 鉴定测试 ), $V_{TEST} = 1.2 \times V_{ISO}$ , $t = 1s$ ( 100% 生产测试 )	5000	$V_{RMS}$

- (1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上采用插入坡口和/或肋材等技术有助于提高这些规格。
- (2) 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全额定值。
- (3) 在空气中进行测试, 以确定封装的固有浪涌抗扰度。
- (4) 在油中进行测试, 以确定隔离栅的固有浪涌抗扰度。
- (5) 视在电荷是局部放电 (pd) 引起的电气放电。
- (6) 将隔离栅每一侧的所有引脚都连在一起, 构成一个双端子器件。

## 6.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1、IEC 61010-1 和 IEC 60601 进行了认证	根据 UL 1577 组件认证计划进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
最大瞬态隔离电压， 7071V <sub>PK</sub> ； 最大重复峰值隔离电压， 2121V <sub>PK</sub> ； 最大浪涌隔离电压， 10000V <sub>PK</sub>	符合 CSA 62368-1 和 IEC 62368-1 标准的 600V <sub>RMS</sub> 增强型绝缘；符合 CSA 61010-1 和 IEC 61010-1 (污染等级 2, 材料组 I) 标准的 600V <sub>RMS</sub> 增强型绝缘；符合 CSA 60601-1 和 IEC 60601-1 标准的 2 MOPP (患者保护措施)，250V <sub>RMS</sub> 的最大工作电压	单一保护， 5000V <sub>RMS</sub>	增强型绝缘，海拔 ≤ 5000m，热带气候，700V <sub>RMS</sub> 最大工作电压	符合 EN 61010-1 和 EN 62368-1 标准的 5000V <sub>RMS</sub> 增强型绝缘，高达 600V <sub>RMS</sub> 的工作电压
证书编号：40040142	主合同编号：220991	文件编号：E181974	证书编号： CQC21001304083	客户端 ID 编号：077311

## 6.8 安全限值

安全限制<sup>(1)</sup>旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
<b>DW-16 封装</b>						
I <sub>S</sub>	安全输入、输出或电源电流 <sup>(1)</sup>	R <sub>θJA</sub> = 68.8°C/W, V <sub>I</sub> = 5.5V, T <sub>J</sub> = 150°C, T <sub>A</sub> = 25°C			330	mA
		R <sub>θJA</sub> = 68.8°C/W, V <sub>I</sub> = 3.6V, T <sub>J</sub> = 150°C, T <sub>A</sub> = 25°C			504	mA
		R <sub>θJA</sub> = 68.8°C/W, V <sub>I</sub> = 2.75V, T <sub>J</sub> = 150°C, T <sub>A</sub> = 25°C			660	mA
		R <sub>θJA</sub> = 68.8°C/W, V <sub>I</sub> = 1.89V, T <sub>J</sub> = 150°C, T <sub>A</sub> = 25°C			956	mA
P <sub>S</sub>	安全输入、输出或总功率 <sup>(1)</sup>	R <sub>θJA</sub> = 68.8°C/W, T <sub>J</sub> = 150°C, T <sub>A</sub> = 25°C			1820	mW
T <sub>S</sub>	最高安全温度 <sup>(1)</sup>				150	°C

(1) 最高安全温度 T<sub>S</sub> 具有与为器件指定的最大结温 T<sub>J</sub> 相同的值。I<sub>S</sub> 和 P<sub>S</sub> 参数分别表示安全电流和安全功率。请勿超出 I<sub>S</sub> 和 P<sub>S</sub> 的最大限值。这些限值随环境温度 T<sub>A</sub> 的变化而变化。

表中的结至空气热阻 R<sub>θJA</sub> 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：

T<sub>J</sub> = T<sub>A</sub> + R<sub>θJA</sub> × P, 其中, P 为器件所耗功率。

T<sub>J(max)</sub> = T<sub>S</sub> = T<sub>A</sub> + R<sub>θJA</sub> × P<sub>S</sub>, 其中, T<sub>J(max)</sub> 为允许的最大结温。

P<sub>S</sub> = I<sub>S</sub> × V<sub>I</sub>, 其中, V<sub>I</sub> 为最大输入电压。



## 6.9 电气特征 - 5V 电源

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压	$I_{OH} = -4mA$ ; 请参阅 <a href="#">开关特性测试电路和电压波形</a>	$V_{CCO} - 0.4$			V
$V_{OL}$	低电平输出电压	$I_{OL} = 4mA$ ; 请参阅 <a href="#">开关特性测试电路和电压波形</a>			0.4	V
$V_{IT+(IN)}$	上升输入开关阈值			$0.7 \times V_{CCI}^{(1)}$		V
$V_{IT-(IN)}$	下降输入开关阈值		$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	输入阈值电压迟滞		$0.1 \times V_{CCI}$			V
$I_{IH}$	高电平输入电流	在 $INx$ 处, $V_{IH} = V_{CCI}^{(1)}$			10	$\mu A$
$I_{IL}$	低电平输入电流	在 $INx$ 处, $V_{IL} = 0V$	-10			$\mu A$
CMTI	共模瞬态抗扰度	$V_I = V_{CC}$ 或 $0V$ , $V_{CM} = 1200V$ ; 请参阅 <a href="#">共模瞬态抗扰度测试电路</a>	50	130		kV/us
$C_i$	输入电容 <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 2MHz$ , $V_{CC} = 5V$		2.8		pF

(1)  $V_{CCI}$  = 输入侧  $V_{CC}$ ;  $V_{CCO}$  = 输出侧  $V_{CC}$

(2) 输入引脚到同侧接地端的测量结果。

## 6.10 电源电流特征 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)。

参数	测试条件	电源电流	最小值	典型值	最大值	单位	
<b>ISO6760L</b>							
电源电流 - 直流信号	输出 A: ISO6760L 的 GND 和 ISO6760LN 的 VCC 输出 B: ISO6760L 的 VCC 和 ISO6760LN 的 GND	$I_{CC1}$		5.11	6.97	mA	
		$I_{CC2}$		3.3	5.38		
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关; $CL = 15pF$	1Mbps	$I_{CC1}$		5.13		6.99
			$I_{CC2}$		3.7		5.83
		10Mbps	$I_{CC1}$		5.29		7.19
			$I_{CC2}$		7.27		9.9
		50Mbps	$I_{CC1}$		6.12	8.16	
			$I_{CC2}$		23.62	27.74	

### 6.11 电气特征 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)。

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压	$V_{CCO} - 0.2$			V
$V_{OL}$	低电平输出电压			0.2	V
$V_{IT+(IN)}$	上升输入开关阈值		$0.7 \times V_{CCI}^{(1)}$		V
$V_{IT-(IN)}$	下降输入开关阈值	$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	输入阈值电压迟滞	$0.1 \times V_{CCI}$			V
$I_{IH}$	高电平输入电流	在 INx 处, $V_{IH} = V_{CCI}^{(1)}$		10	$\mu A$
$I_{IL}$	低电平输入电流	在 INx 处, $V_{IL} = 0V$	-10		$\mu A$
CMTI	共模瞬态抗扰度	$V_I = V_{CC}$ 或 $0V$ , $V_{CM} = 1200V$ ; 请参阅 <a href="#">共模瞬态抗扰度测试电路</a>	50	130	kV/us
$C_i$	输入电容 <sup>(2)</sup>	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 2MHz$ , $V_{CC} = 3.3V$	2.8		pF

(1)  $V_{CCI}$  = 输入侧  $V_{CC}$ ;  $V_{CCO}$  = 输出侧  $V_{CC}$

(2) 输入引脚到同侧接地端的测量结果。

### 6.12 电源电流特征 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)。

参数	测试条件	电源电流	最小值	典型值	最大值	单位
<b>ISO6760L</b>						
电源电流 - 直流信号	输出 A : ISO6760L 的 GND 和 ISO6760LN 的 VCC 输出 B : ISO6760L 的 VCC 和 ISO6760LN 的 GND	$I_{CC1}$		5.08	6.89	mA
		$I_{CC2}$		3.28	5.36	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关 ; $CL = 15pF$	1Mbps	$I_{CC1}$	5.1	6.9	
			$I_{CC2}$	3.57	5.68	
		10Mbps	$I_{CC1}$	5.18	7.04	
			$I_{CC2}$	6.07	8.62	
		50Mbps	$I_{CC1}$	5.74	7.68	
			$I_{CC2}$	17.54	21.5	

### 6.13 电气特征 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压 $I_{OH} = -1 \text{ mA}$ ; 请参阅 <a href="#">开关特性测试电路和电压波形</a>	$V_{CC0} - 0.1$			V
$V_{OL}$	低电平输出电压 $I_{OL} = 1 \text{ mA}$ ; 请参阅 <a href="#">开关特性测试电路和电压波形</a>			0.1	V
$V_{IT+(IN)}$	上升输入开关阈值			$0.7 \times V_{CCI}^{(1)}$	V
$V_{IT-(IN)}$	下降输入开关阈值	$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	输入阈值电压迟滞	$0.1 \times V_{CCI}$			V
$I_{IH}$	高电平输入电流 在 $INx$ 处, $V_{IH} = V_{CCI}^{(1)}$			10	$\mu\text{A}$
$I_{IL}$	低电平输入电流 在 $INx$ 处, $V_{IL} = 0V$	-10			$\mu\text{A}$
CMTI	共模瞬态抗扰度 $V_I = V_{CC}$ 或 $0V$ , $V_{CM} = 1200V$ ; 请参阅 <a href="#">共模瞬态抗扰度测试电路</a>	50	130		kV/us
$C_i$	输入电容 <sup>(2)</sup> $V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 2\text{MHz}$ , $V_{CC} = 2.5V$		2.8		pF

(1)  $V_{CCI} =$  输入侧  $V_{CC}$ ;  $V_{CC0} =$  输出侧  $V_{CC}$

(2) 输入引脚到同侧接地端的测量结果。

### 6.14 电源电流特征 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位	
<b>ISO6760L</b>							
电源电流 - 直流信号	输出 A: ISO6760L 的 GND 和 ISO6760LN 的 VCC 输出 B: ISO6760L 的 VCC 和 ISO6760LN 的 GND	$I_{CC1}$		5.07	6.85	mA	
		$I_{CC2}$		3.28	5.35		
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关; $CL = 15\text{pF}$	1Mbps	$I_{CC1}$		5.08		6.87
			$I_{CC2}$		3.49		5.59
		10Mbps	$I_{CC1}$		5.14		6.97
			$I_{CC2}$		5.34		7.8
		25Mbps	$I_{CC1}$		5.59		7.49
			$I_{CC2}$		13.83		17.47

## 6.15 电气特征 - 1.8V 电源

$V_{CC1} = V_{CC2} = 1.8V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)。

参数	测试条件	最小值	典型值	最大值	单位
$V_{OH}$	高电平输出电压 $I_{OH} = -1 \text{ mA}$ ; 请参阅 <a href="#">开关特性测试电路和电压波形</a>	$V_{CCO} - 0.1$			V
$V_{OL}$	低电平输出电压 $I_{OL} = 1 \text{ mA}$ ; 请参阅 <a href="#">开关特性测试电路和电压波形</a>			0.1	V
$V_{IT+(IN)}$	上升输入开关阈值		$0.7 \times V_{CCI}^{(1)}$		V
$V_{IT-(IN)}$	下降输入开关阈值	$0.3 \times V_{CCI}$			V
$V_{I(HYS)}$	输入阈值电压迟滞	$0.1 \times V_{CCI}$			V
$I_{IH}$	高电平输入电流 在 $INx$ 处, $V_{IH} = V_{CCI}^{(1)}$			10	$\mu\text{A}$
$I_{IL}$	低电平输入电流 在 $INx$ 处, $V_{IL} = 0V$	-10			$\mu\text{A}$
CMTI	共模瞬态抗扰度 $V_I = V_{CC}$ 或 $0V$ , $V_{CM} = 1200V$ ; 请参阅 <a href="#">共模瞬态抗扰度测试电路</a>	50	75		kV/us
$C_i$	输入电容 <sup>(2)</sup> $V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ , $f = 2\text{MHz}$ , $V_{CC} = 1.8V$		2.8		pF

(1)  $V_{CCI} =$  输入侧  $V_{CC}$ ;  $V_{CCO} =$  输出侧  $V_{CC}$

(2) 输入引脚到同侧接地端的测量结果。

## 6.16 电源电流特征 - 1.8V 电源

$V_{CC1} = V_{CC2} = 1.8V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)。

参数	测试条件	电源电流	最小值	典型值	最大值	单位	
<b>ISO6760L</b>							
电源电流 - 直流信号	输出 A: ISO6760L 的 GND 和 ISO6760LN 的 VCC 输出 B: ISO6760L 的 VCC 和 ISO6760LN 的 GND	$I_{CC1}$		4.27	6.24	mA	
		$I_{CC2}$		3.15	5.39		
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关; $CL = 15\text{pF}$	1Mbps	$I_{CC1}$		4.28		6.25
			$I_{CC2}$		3.3		5.55
		10Mbps	$I_{CC1}$		4.37		6.37
			$I_{CC2}$		4.6		7.04
		50 Mbps (25Mbps)	$I_{CC1}$		4.5		6.5
			$I_{CC2}$		6.84		9.47

## 6.17 开关特征 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>ISO6760L</b>						
$t_{PLH}$ 、 $t_{PHL}$	传播延迟时间	一个输入处于静态状态, 另一个输入切换为 100kbps。参阅 <a href="#">开关特性测试电路和电压波形</a>		13	20.5	ns
PWD	脉宽失真度 <sup>(1)</sup> $ t_{PHL} - t_{PLH} $			1	7	ns
$t_{sk(o)}$	通道间输出偏斜时间 <sup>(2)</sup>	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间 <sup>(3)</sup>				6	ns
$t_r$	输出信号上升时间	参阅 <a href="#">开关特性测试电路和电压波形</a>		2.6	4.5	ns
$t_f$	输出信号下降时间			2.6	4.5	ns
$t_{PU}$	从 UVLO 至有效输出数据的时间	从 UVLO 至有效输出数据的时间			300	us
$t_{DO}$	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅 <a href="#">默认输出延时时间测试电路和电压波形</a>		0.1	0.3	us
$t_{ie}$	时间间隔误差	50Mbps 时的 PRBS 数据为 $2^{16} - 1$		1		ns

- (1) 也称为脉冲偏斜。  
 (2)  $t_{sk(o)}$  是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。  
 (3)  $t_{sk(pp)}$  是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

## 6.18 开关特征 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>ISO6760L</b>						
$t_{PLH}$ 、 $t_{PHL}$	传播延迟时间	一个输入处于静态状态, 另一个输入切换为 100kbps。参阅 <a href="#">开关特性测试电路和电压波形</a>		13	21	ns
PWD	脉宽失真度 <sup>(1)</sup> $ t_{PHL} - t_{PLH} $			1	7	ns
$t_{sk(o)}$	通道间输出偏斜时间 <sup>(2)</sup>	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间 <sup>(3)</sup>				7	ns
$t_r$	输出信号上升时间	参阅 <a href="#">开关特性测试电路和电压波形</a>		1.6	2.8	ns
$t_f$	输出信号下降时间			1.6	2.8	ns
$t_{PU}$	从 UVLO 至有效输出数据的时间	从 UVLO 至有效输出数据的时间			300	us
$t_{DO}$	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅 <a href="#">默认输出延时时间测试电路和电压波形</a>		0.1	0.3	us
$t_{ie}$	时间间隔误差	50Mbps 时的 PRBS 数据为 $2^{16} - 1$		1		ns

(1) 也称为脉冲偏斜。

(2)  $t_{sk(o)}$  是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3)  $t_{sk(pp)}$  是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

## 6.19 开关特征 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$  (在推荐的运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>ISO6760L</b>						
$t_{PLH}$ 、 $t_{PHL}$	传播延迟时间	一个输入处于静态状态, 另一个输入切换为 100kbps。参阅 <a href="#">开关特性测试电路和电压波形</a>		14.5	23.5	ns
PWD	脉宽失真度 <sup>(1)</sup> $ t_{PHL} - t_{PLH} $			1	7.1	ns
$t_{sk(o)}$	通道间输出偏斜时间 <sup>(2)</sup>	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间 <sup>(3)</sup>				7.9	ns
$t_r$	输出信号上升时间	参阅 <a href="#">开关特性测试电路和电压波形</a>		2	4	ns
$t_f$	输出信号下降时间			2	4	ns
$t_{PU}$	从 UVLO 至有效输出数据的时间	从 UVLO 至有效输出数据的时间			300	us
$t_{DO}$	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅 <a href="#">默认输出延时时间测试电路和电压波形</a>		0.1	0.3	us
$t_{ie}$	时间间隔误差	50Mbps 时的 PRBS 数据为 $2^{16} - 1$		1		ns

- (1) 也称为脉冲偏斜。  
 (2)  $t_{sk(o)}$  是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。  
 (3)  $t_{sk(pp)}$  是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

## 6.20 开关特征 - 1.8V 电源

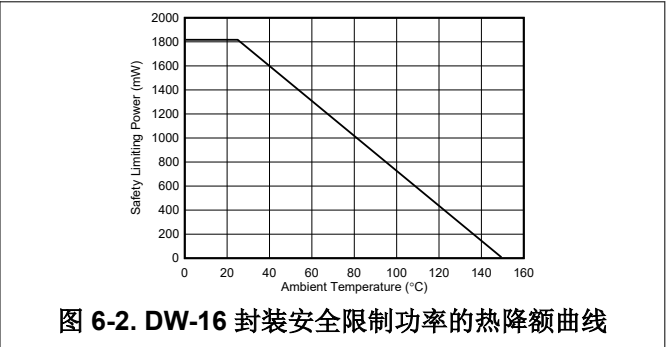
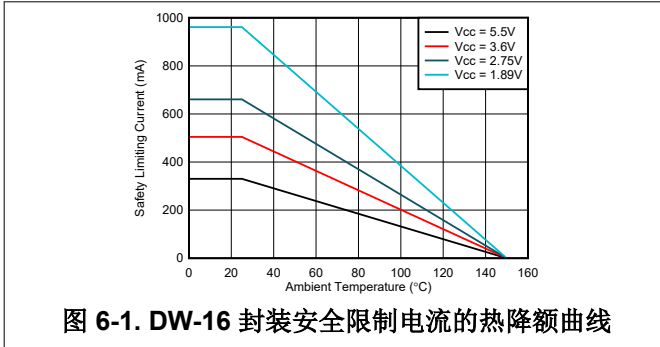
$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$  (在推荐的运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
<b>ISO6760L</b>						
$t_{PLH}$ 、 $t_{PHL}$	传播延迟时间	一个输入处于静态状态, 另一个输入切换为 100kbps。参阅 <a href="#">开关特性测试电路和电压波形</a>		18	31	ns
PWD	脉宽失真度 $ t_{PHL} - t_{PLH} $			1	8.2	ns
$t_{sk(o)}$	通道间输出偏斜时间 <sup>(1)</sup>	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间 <sup>(2)</sup>				11.7	ns
$t_r$	输出信号上升时间	参阅 <a href="#">开关特性测试电路和电压波形</a>		2.7	5.3	ns
$t_f$	输出信号下降时间			2.7	5.3	ns
$t_{PU}$	从 UVLO 至有效输出数据的时间	从 UVLO 至有效输出数据的时间			300	us
$t_{DO}$	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅 <a href="#">默认输出延时时间测试电路和电压波形</a>		0.1	0.3	us
$t_{ie}$	时间间隔误差	50Mbps 时的 PRBS 数据为 $2^{16} - 1$		1		ns

- (1)  $t_{sk(o)}$  是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
- (2)  $t_{sk(pp)}$  是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。



## 6.21 绝缘特性曲线



6.22 典型特性

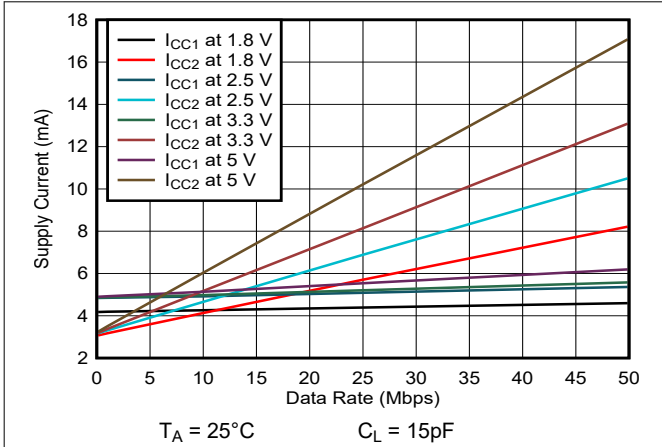


图 6-3. ISO6760L 电源电流与数据速率间的关系 (具有 15pF 负载)

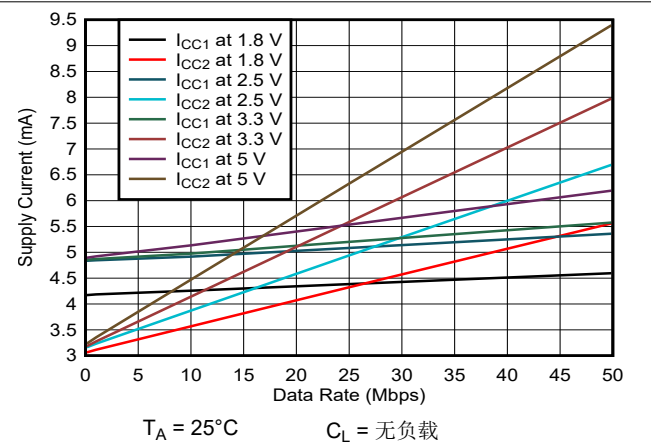


图 6-4. ISO6763 电源电流与数据速率间的关系 (无负载)

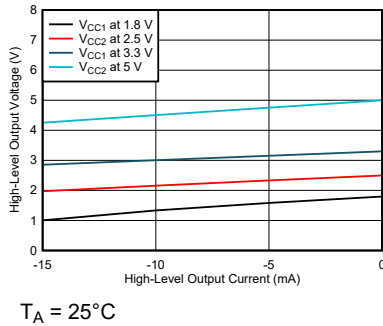


图 6-5. 高电平输出电压与高电平输出电流间的关系

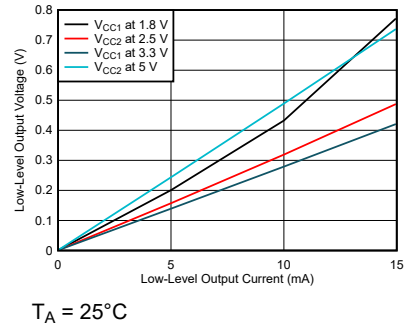


图 6-6. 低电平输出电压与低电平输出电流间的关系

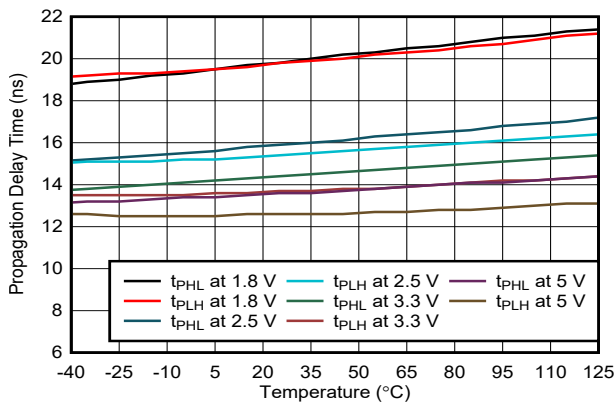


图 6-7. 传播延迟时间与自然通风条件下的温度间的关系

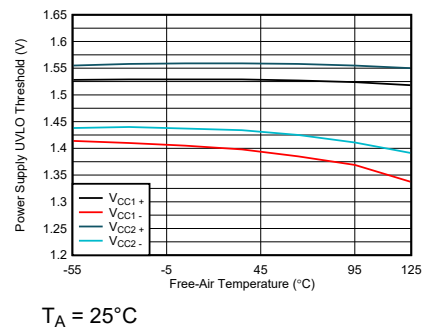
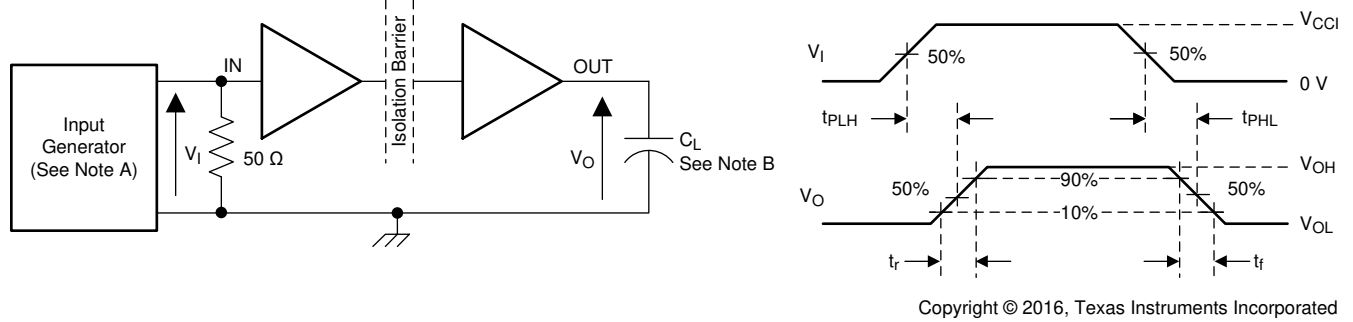


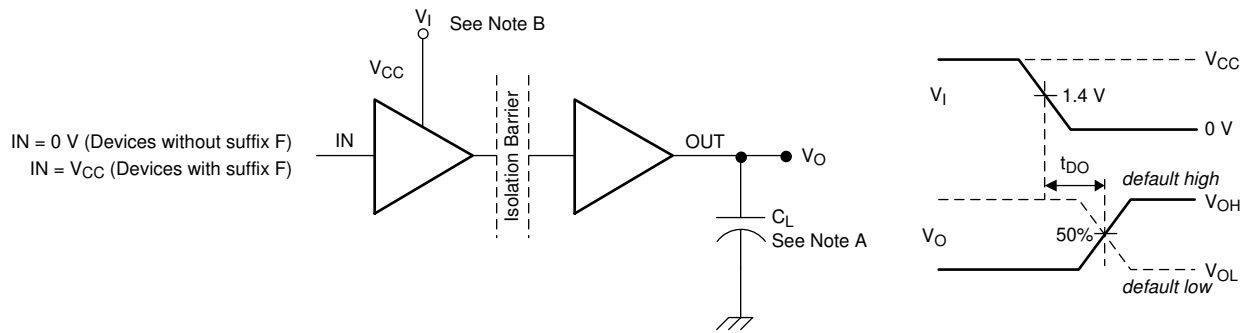
图 6-8. 电源欠压阈值与自然通风条件下的温度间的关系

## 7 参数测量信息



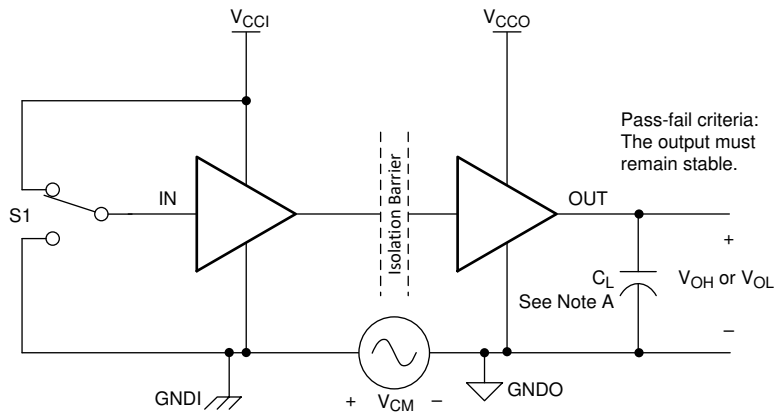
- A. 输入脉冲由具有以下特性的发生器提供：PRR  $\leq$  50kHz，50% 占空比， $t_r \leq$  3ns， $t_f \leq$  3ns， $Z_0 = 50 \Omega$ 。输入端需要  $50 \Omega$  电阻器来端接输入发生器信号。实际应用中则不需要。
- B.  $C_L = 15 \text{ pF}$  并包含  $\pm 20\%$  范围内的仪表和设备电容。

图 7-1. 开关特性测试电路和电压波形



- A.  $C_L = 15 \text{ pF}$  并包含  $\pm 20\%$  范围内的仪表和设备电容。
- B. 电源电压斜升速率 = 10mV/ns

图 7-2. 默认输出延时时间测试电路和电压波形



- A.  $C_L = 15 \text{ pF}$  并包含  $\pm 20\%$  范围内的仪表和设备电容。
- B. 为了优化 CMTI 性能，应将  $0.1 \mu\text{F} + 1 \mu\text{F}$  去耦电容器放置在  $V_{CC1}$  和  $V_{CC2}$  附近。有关电容器放置的详细信息，请参阅节 12.2。推荐的  $0.1 \mu\text{F}$  电容器是 LLL185R71A104MA11L (CAP CER 0.1UF 10V X7R 0306 - LW 反向低 ESL 片式陶瓷电容器) 或等效电容器。

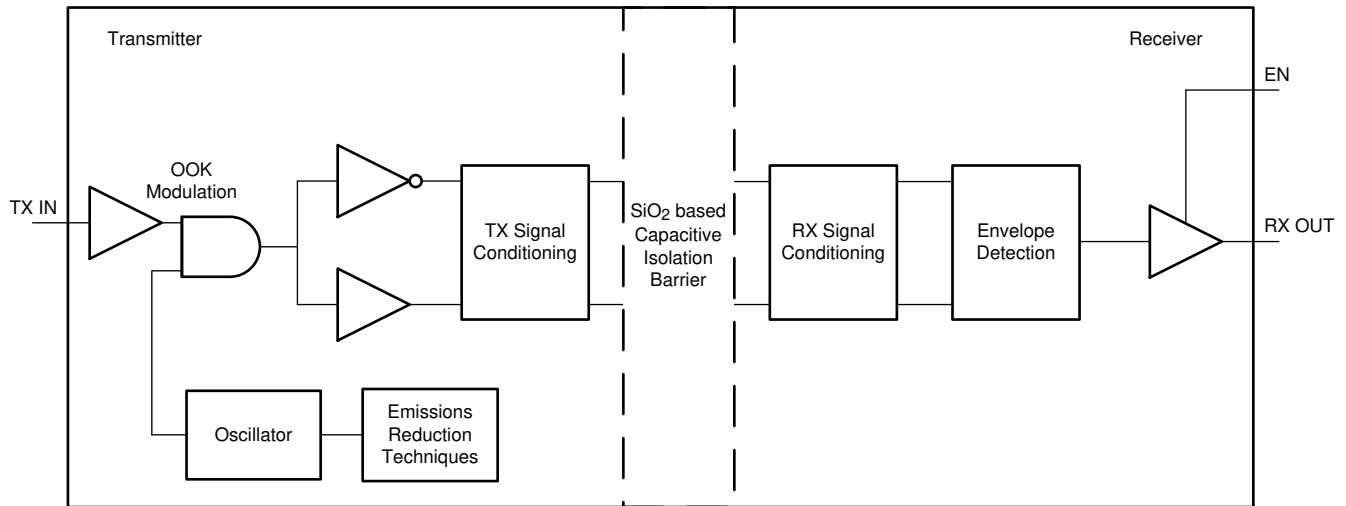
图 7-3. 共模瞬态抗扰度测试电路

## 8 详细说明

### 8.1 概述

ISO6760L 系列器件采用开关键控 (OOK) 调制方案，可通过基于二氧化硅的隔离栅传输数字数据。发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调，并在输出缓冲器之前产生经过互锁级的输出。ISO6760L 系列提供两个选项：ISO6760L (标准同相通道) 和 ISO6760LN (反相通道)。这两种产品使得 ISO6760L 系列与基于光耦合器的历史解决方案兼容。ISO6760L 器件还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。图 8-1 为数字电容隔离器的概念方框图，展示了典型通道的功能方框图。

### 8.2 功能方框图



Copyright © 2016, Texas Instruments Incorporated

图 8-1. 数字电容隔离器的概念框图

图 8-2 所示为开关键控方案工作原理的概念细节。

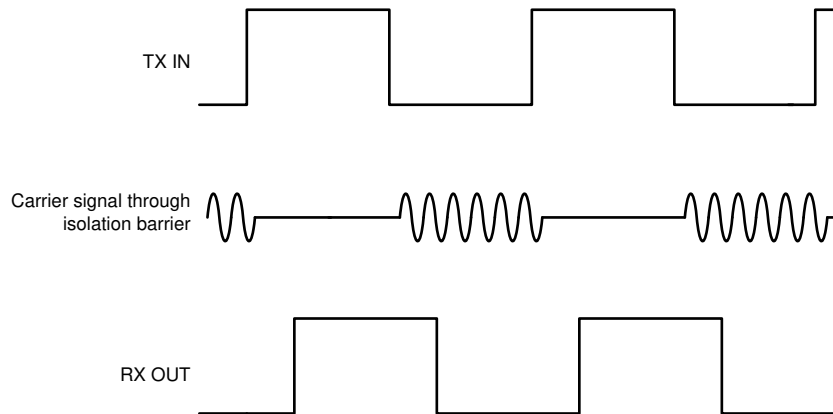


图 8-2. 基于开关键控 (OOK) 的调制方案

### 8.3 特性说明

表 8-1 汇总了器件特性。

表 8-1. 器件特性

器件型号	通道方向	最大数据速率	输出	封装	隔离额定值 <sup>(1)</sup>
ISO6760L	六通道 (正向), 三个互锁对	50Mbps	同相	DW-16	5000V <sub>RMS</sub> /7000 V <sub>PK</sub>
ISO6760LN	六通道 (正向), 三个互锁对	50Mbps	反相	DW-16	5000V <sub>RMS</sub> /7000 V <sub>PK</sub>

(1) 请参阅 了解详细的隔离额定值。

#### 8.3.1 电磁兼容性 (EMC) 注意事项

恶劣工业环境中的很多应用都对静电放电 (ESD)、电气快速瞬变 (EFT)、浪涌和电磁辐射等干扰非常敏感。IEC 61000-4-x 和 CISPR 32 等国际标准对这些电磁干扰进行了规定。尽管系统级性能和可靠性在很大程度上取决于应用电路板设计和布局,但 ISO676x 系列器件包含很多芯片级设计改进,可增强整体系统稳健性。其中的一些改进包括:

- 输入和输出信号引脚以及芯片间接合焊盘具有可靠的 ESD 保护单元。
- ESD 单元与电源和接地引脚之间采用低电阻连接。
- 高压隔离电容器具有增强性能,能够更好地耐受 ESD、EFT 和浪涌事件。
- 片上去耦电容器更大,可通过低阻抗路径旁路不良的高能信号。
- PMOS 和 NMOS 器件通过防护环互相隔离,从而避免触发寄生 SCR。
- 通过确保纯差分内部运行,减少隔离栅上的共模电流。

#### 8.3.2 互锁能力

ISO6760L 系列集成了一系列逻辑门,以防相邻通道对同时出现高电平。在搭配 IPM 使用时,此互锁电路可提供保护,防止模块的高侧和低侧开关出现击穿电流。此设计(如 ISO6760L 互锁通道配对方框图所示)用于确保当通道对中的一个通道为逻辑高电平时,另一个通道将输出逻辑低电平。ISO6760L 器件真值表提供了对应 ISO6760L 输入状态的逻辑输出状态,ISO6760LN (反相) 器件真值表提供了对应 ISO6760LN 输入状态的逻辑输出状态(反相输出版本)。

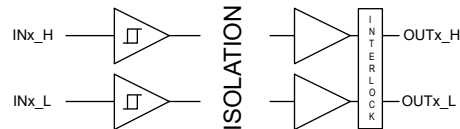


图 8-3. ISO6760L 互锁通道配对方框图

ISO6760L 器件真值表

INx_H	INx_L	OUTx_H	OUTx_L
高	低	高	低
低	高	低	高
高	高	低	低
低	低	低	低
漂浮电势	漂浮电势	低	低

表 8-2. ISO6760LN (反相) 器件真值表

INx_H	INx_L	OUTx_H	OUTx_L
高	低	低	高
低	高	高	低
高	高	低	低

表 8-2. ISO6760LN (反相) 器件真值表 (continued)

INx_H	INx_L	OUTx_H	OUTx_L
低	低	低	低
漂浮电势	漂浮电势	低	低

## 8.4 器件功能模式

表 8-3 列出了 ISO6760L 器件的功能模式。

表 8-3. 功能表

$V_{CC1}$ <sup>(1)</sup>	$V_{CC0}$	输入 ( $INX\_H$ 和 $INX\_L$ ) <sup>(3)</sup>	输出 ( $OUTx\_H$ 和 $OUTx\_L$ )	备注
PU	PU	H	正常	正常运行：通道输出假定其输入的逻辑状态如 <a href="#">ISO6760L 器件真值表</a> 和 <a href="#">ISO6760LN (反相) 器件真值表</a> 所述。
		L		
		开路		
PD	PU	X	低	输出低电平：当 $V_{CC1}$ 未上电且 $V_{CC0}$ 已上电时，输出互锁电路将输出设置为逻辑低电平。 当 $V_{CC1}$ 从未上电转换为上电时，通道输出假定输入的逻辑状态如 <a href="#">ISO6760L 器件真值表</a> 和 <a href="#">ISO6760LN (反相) 器件真值表</a> 所述。 $V_{CC1}$ 从上电转换为未上电时，通道输出将为输出低电平状态。
X	PD	X	不确定	$V_{CC0}$ 未上电时，通道输出不确定 <sup>(2)</sup> 。 $V_{CC0}$ 从未上电转换为上电时，通道输出假定输入的逻辑状态如 <a href="#">ISO6760L 器件真值表</a> 和 <a href="#">ISO6760LN (反相) 器件真值表</a> 所述。

- (1)  $V_{CC1}$  = 输入侧  $V_{CC}$ ； $V_{CC0}$  = 输出侧  $V_{CC}$ ；PU = 上电 ( $V_{CC} \geq 1.71V$ )；PD = 断电 ( $V_{CC} \leq 1.05V$ )；X = 不相关；H = 高电平；L = 低电平；Z = 高阻抗
- (2)  $1.7V < V_{CC1}$ ， $V_{CC0} < 2.25V$  和  $1.05V < V_{CC1}$ ， $V_{CC0} < 1.71V$  时，输出为不确定状态。
- (3) 强驱动输入信号可通过内部保护二极管为浮动  $V_{CC}$  提供微弱的电能，导致输出不确定

### 8.4.1 器件 I/O 原理图

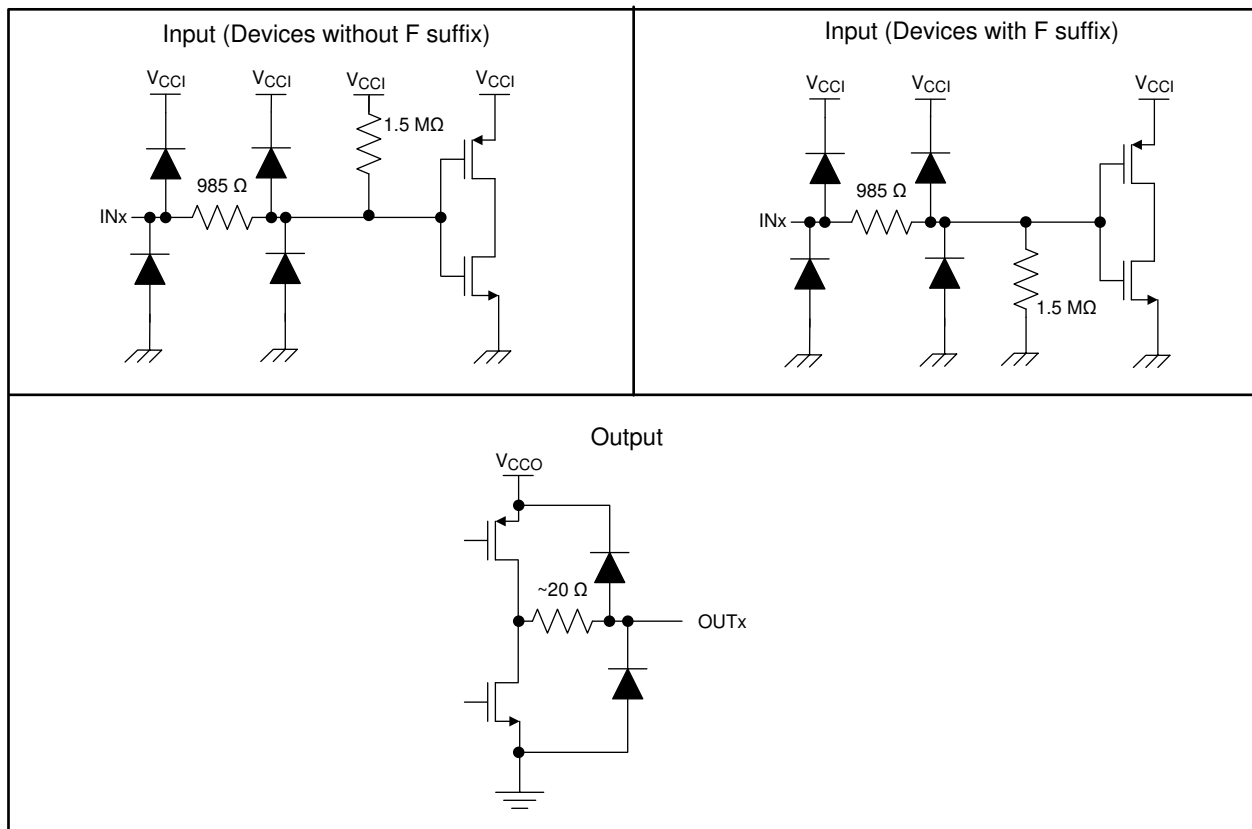


图 8-4. 器件 I/O 原理图

## 9 应用和实施

---

### 备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

---

### 9.1 应用信息

ISO6760L 器件是高性能六通道数字隔离器。ISO6760L 器件采用具有内置硬件互锁逻辑的单端 CMOS 逻辑开关技术。 $V_{CC1}$  和  $V_{CC2}$  这两个电源的电源电压范围均为 1.71V-5.5V。隔离栅将两侧分开，因此，在推荐工作条件下，可使用任何电压单独为每一侧供电。例如，可为 ISO6760L  $V_{CC1}$  提供 3.3V 电压（在 1.71V 至 5.5V 范围内），为  $V_{CC2}$  提供 5V 电压（也在 1.71V 至 5.5V 范围内）。除实现隔离之外，数字隔离器还可用作逻辑电平转换器。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都位于数据控制器（即 MCU 或 FPGA）和数据转换器或数据线收发器之间。



## 9.2 典型应用

图 9-1 展示了处理器和智能电源模块 (IPM) 接口实现方案之间的隔离式连接。

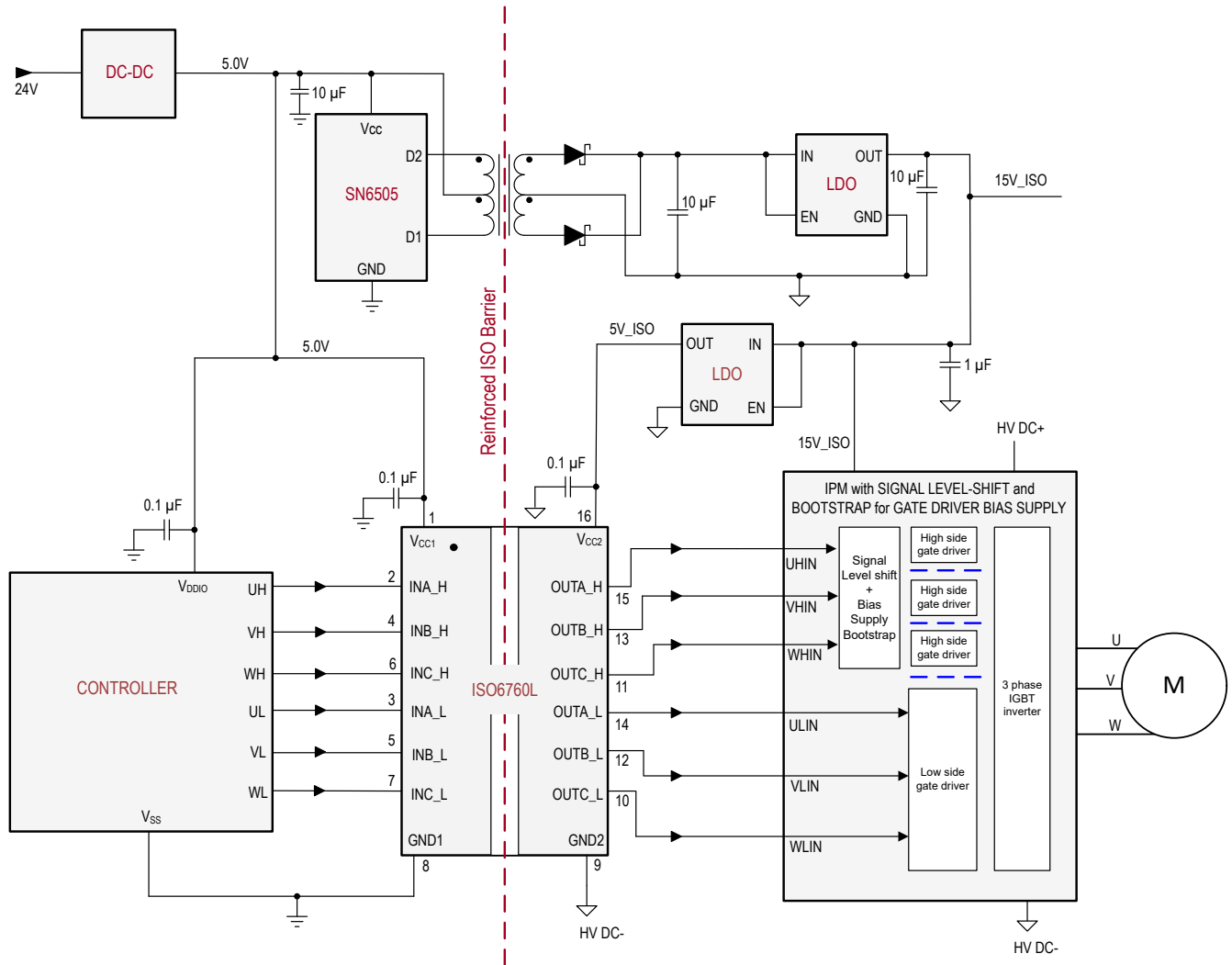


图 9-1. 智能电源模块 (IPM) 接口的隔离

### 9.2.1 设计要求

若要使用这些器件进行设计，请使用表 9-1 中所列参数。

表 9-1. 设计参数

参数	值
电源电压： $V_{CC1}$ 和 $V_{CC2}$	1.71V 到 1.89V 和 2.25V 到 5.5V
$V_{CC1}$ 和 GND1 之间的去耦电容器	0.1 $\mu$ F
$V_{CC2}$ 和 GND2 之间的去耦电容器	0.1 $\mu$ F

### 9.2.2 详细设计过程

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO6760L 系列器件仅需两个外部旁路电容器即可工作。

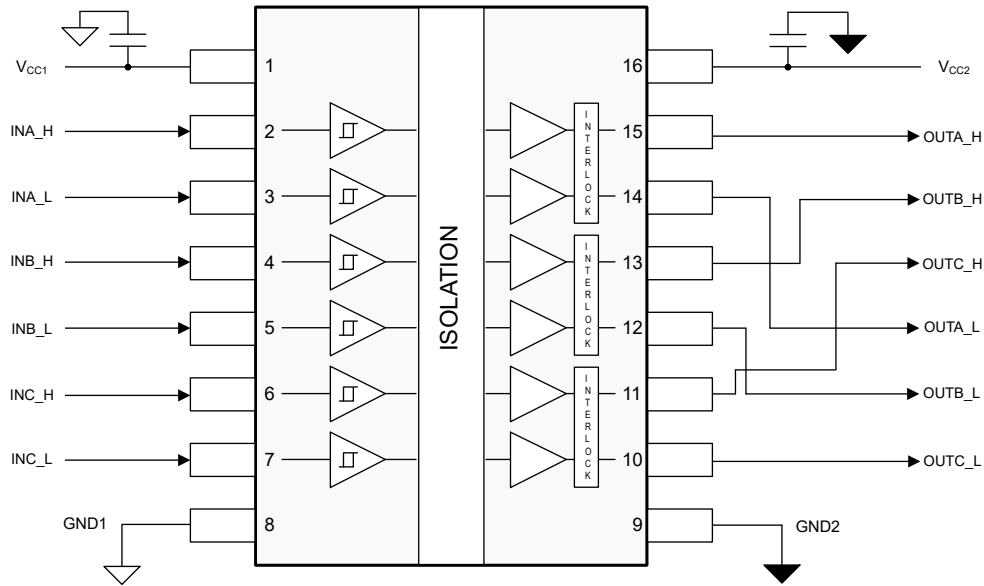


图 9-2. 典型 ISO6760L 电路组装

### 9.2.3 应用曲线

ISO6760L 系列器件的下图展示了硬件互锁电路如何防止击穿电流。在通道对中，两个输出不能同时为高电平。ISO6760L 互锁图 展示了 ISO6760L，演示了两个相邻通道之间有 200Hz 输入信号相位差时的硬件互锁。ISO6760L 互锁图 展示了正常 ISO6760 (提供不带互锁电路的器件)，两个相邻通道之间同样有 200Hz 的输入信号相位差，方便进行比较。



图 9-3. ISO6760L 互锁图

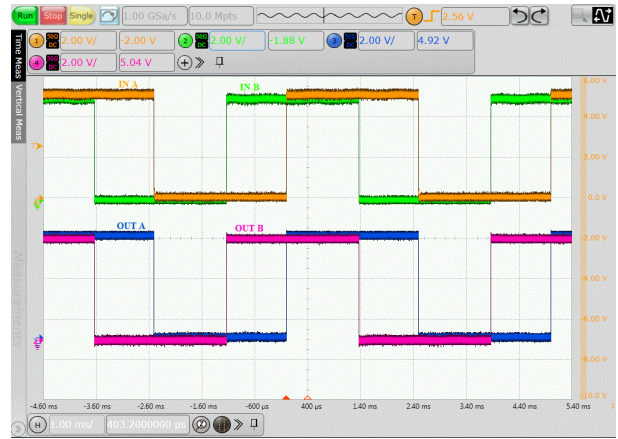


图 9-4. ISO6760 (不带互锁的器件) 图

## 10 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件，并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅图 10-1。绝缘击穿数据是在开关频率为 60 Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。

图 10-2 所示为隔离栅在整个寿命期内承受高压应力的固有能力。根据 TDDB 数据，固有绝缘能力为  $1500V_{RMS}$ ，寿命为 36 年。其他因素，比如封装尺寸、污染等级、材料组等，可能会进一步限制元件的工作电压。DW-16 封装的工作电压上限值可达  $1500V_{RMS}$ 。较低工作电压所对应的绝缘寿命远远超过 36 年。

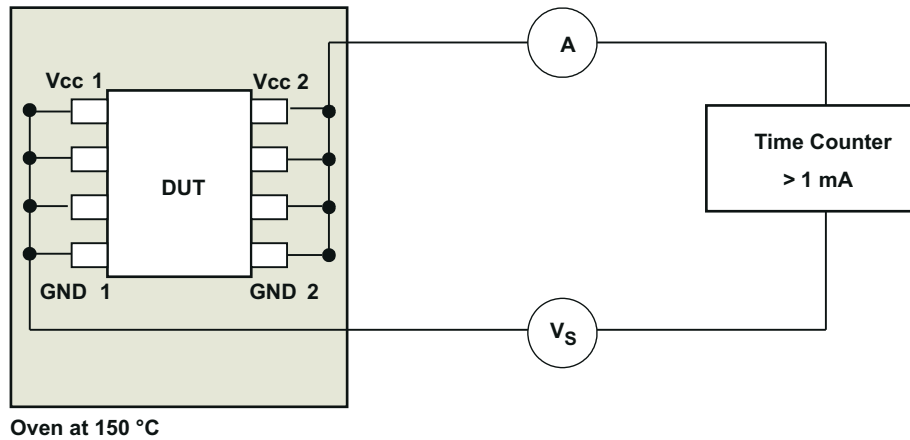


图 10-1. 绝缘寿命测量的测试设置

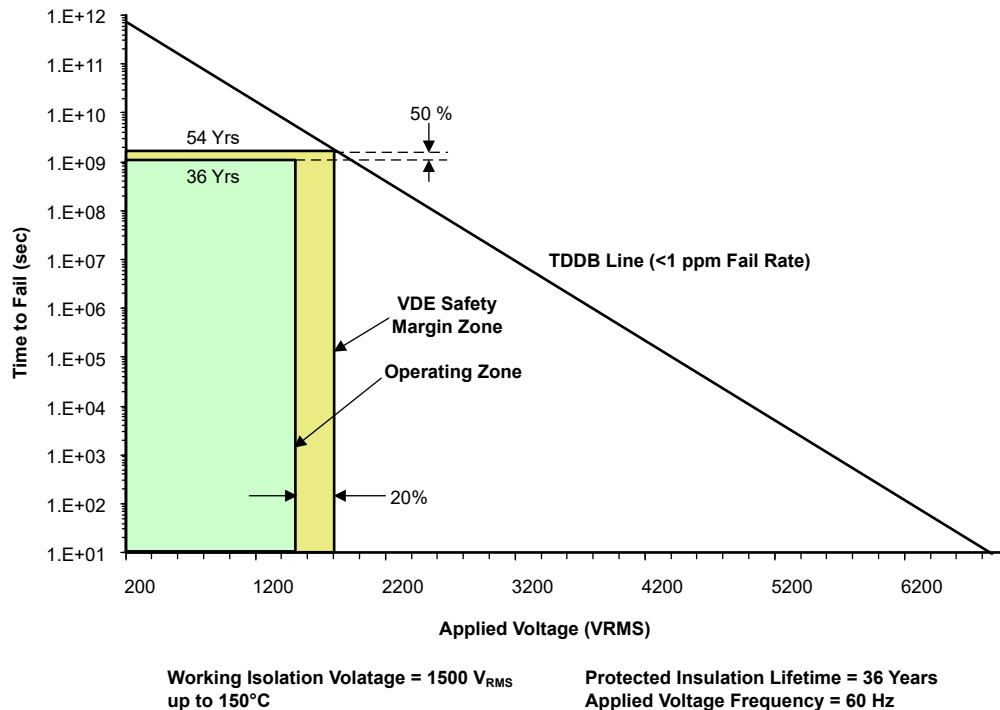


图 10-2. 绝缘寿命预测数据

## 11 电源相关建议

为确保在各种数据速率和电源电压条件下可靠运行，建议将  $0.1 \mu\text{F}$  旁路电容器放置在输入和输出电源引脚 ( $V_{CC1}$  和  $V_{CC2}$ ) 处。电容器应尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可借助变压器驱动器为次级侧生成隔离式电源。在工业应用中，请使用德州仪器 (TI) 的 [SN6501](#) 或 [SN6505B](#)。对于这类应用，有关详细的电源设计和变压器选择建议，请参阅 [SN6501 隔离式电源用变压器驱动器](#) 或 [SN6505B-Q1 隔离式电源用低噪声 1A 变压器驱动器](#)。

## 12 布局

### 12.1 布局指南

至少需要两层才能实现低 EMI PCB 设计。为进一步改善 EMI，可使用四层板（请参阅图 12-2）。四层板的层堆叠应符合以下顺序（从上到下）：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速迹线可避免使用过孔（以及引入其电感），并且可实现隔离器与数据链路的发送器和接收器电路之间的可靠互连。
- 通过在高速信号层旁边放置一个实心接地平面，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 在接地平面旁边放置电源平面后，会额外产生大约  $100\text{pF}/\text{inch}^2$  的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压平面或信号层，请在堆栈中添加另一个电源平面或接地平面系统，以使其保持对称。这样可使堆栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源平面和接地平面可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅[数字隔离器设计指南](#)。

#### 12.1.1 PCB 材料

对于运行速度低于 150Mbps（或上升和下降时间大于 1ns）且迹线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

### 12.2 布局布线示例

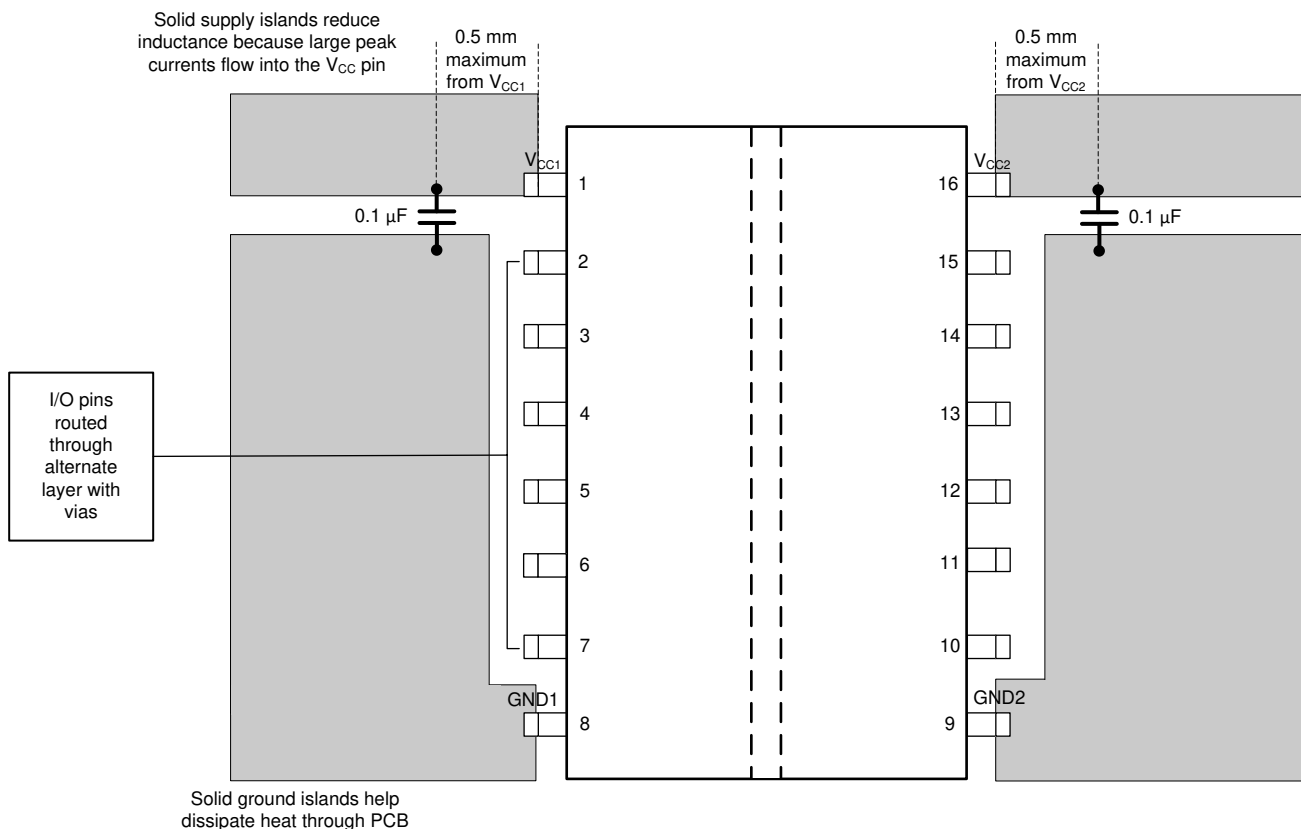


图 12-1. 布局布线示例

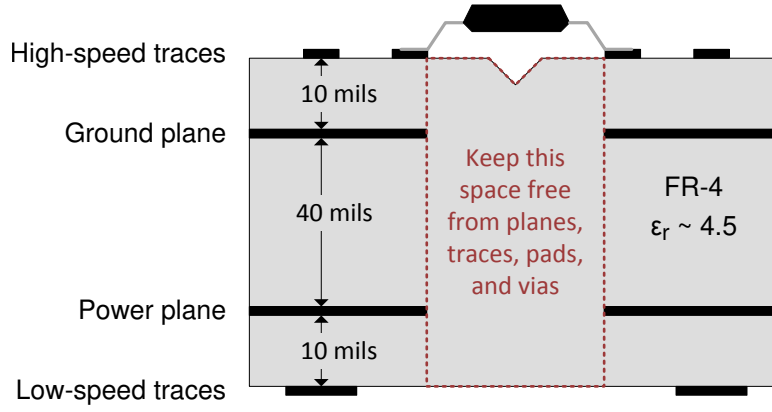


图 12-2. 四层电路板布局布线示例

## 13 器件和文档支持

### 13.1 文档支持

#### 13.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI), [数字隔离器设计指南](#)
- 德州仪器 (TI), [数字隔离器设计指南](#)
- 德州仪器 (TI), [隔离相关术语](#)
- 德州仪器 (TI), [如何通过隔离改善工业系统的 ESD、EFT 和浪涌抗扰性应用报告](#)
- 德州仪器 (TI), [ADS79xx 12/10/8 位 1MSPS 16/12/8/4 通道单端低功耗串行接口 ADC 数据表](#)
- 德州仪器 (TI), [DAC161P997 4-20mA 环路用单线制 16 位 DAC 数据表](#)
- 德州仪器 (TI), [MSP430G2132 混合信号微控制器 数据表](#)
- 德州仪器 (TI), [SN6501 隔离式电源用变压器驱动器数据表](#)
- 德州仪器 (TI), [TPS76333 低功耗 150mA 低压降线性稳压器 数据表](#)

#### 13.2 接收文档更新通知

若要接收文档更新通知，请导航至 [ti.com.cn](http://ti.com.cn) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

#### 13.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

#### 13.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

#### 13.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

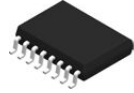
#### 13.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

## 14 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

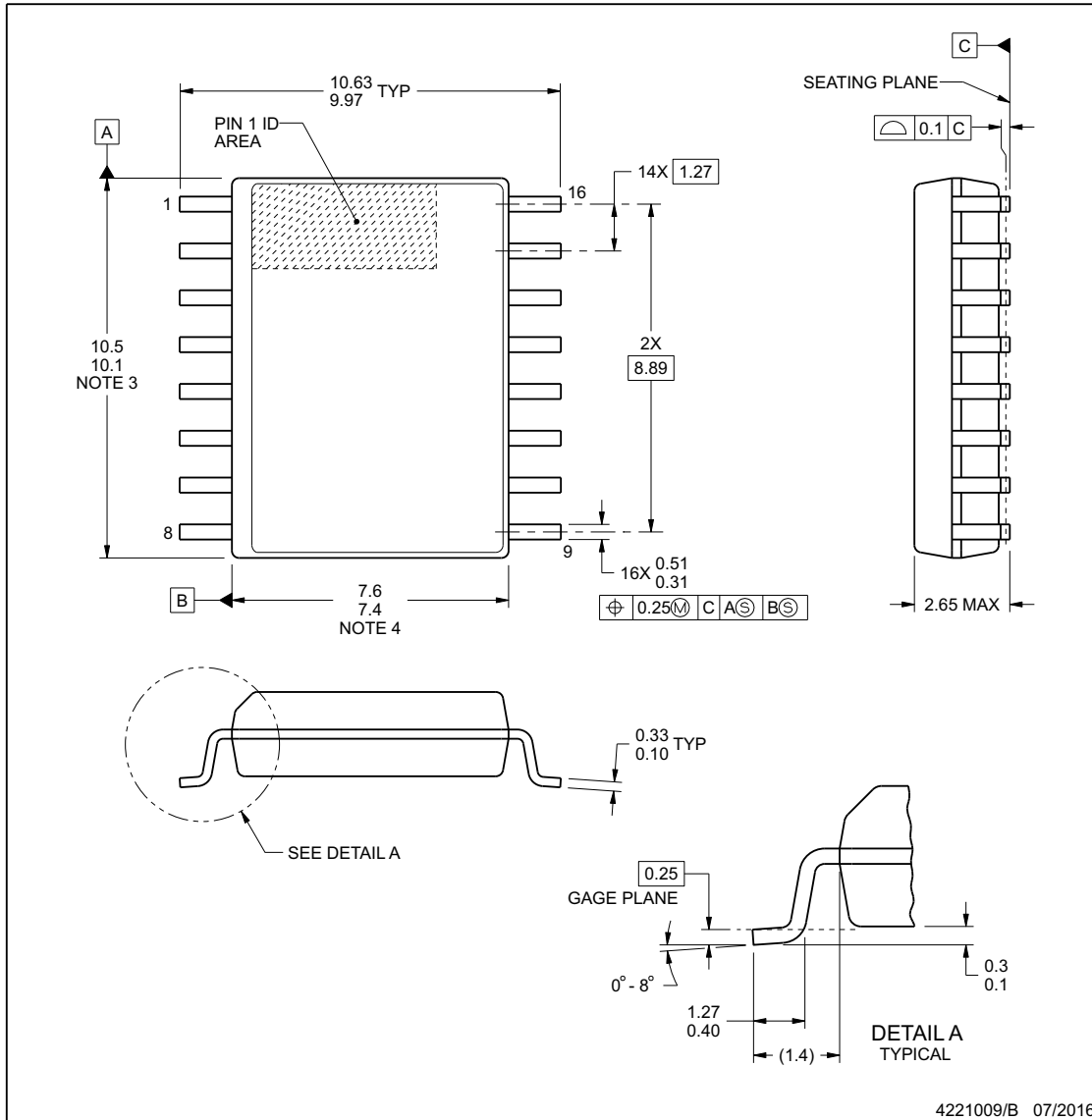




**DW0016B**

**PACKAGE OUTLINE**  
**SOIC - 2.65 mm max height**

SOIC



**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

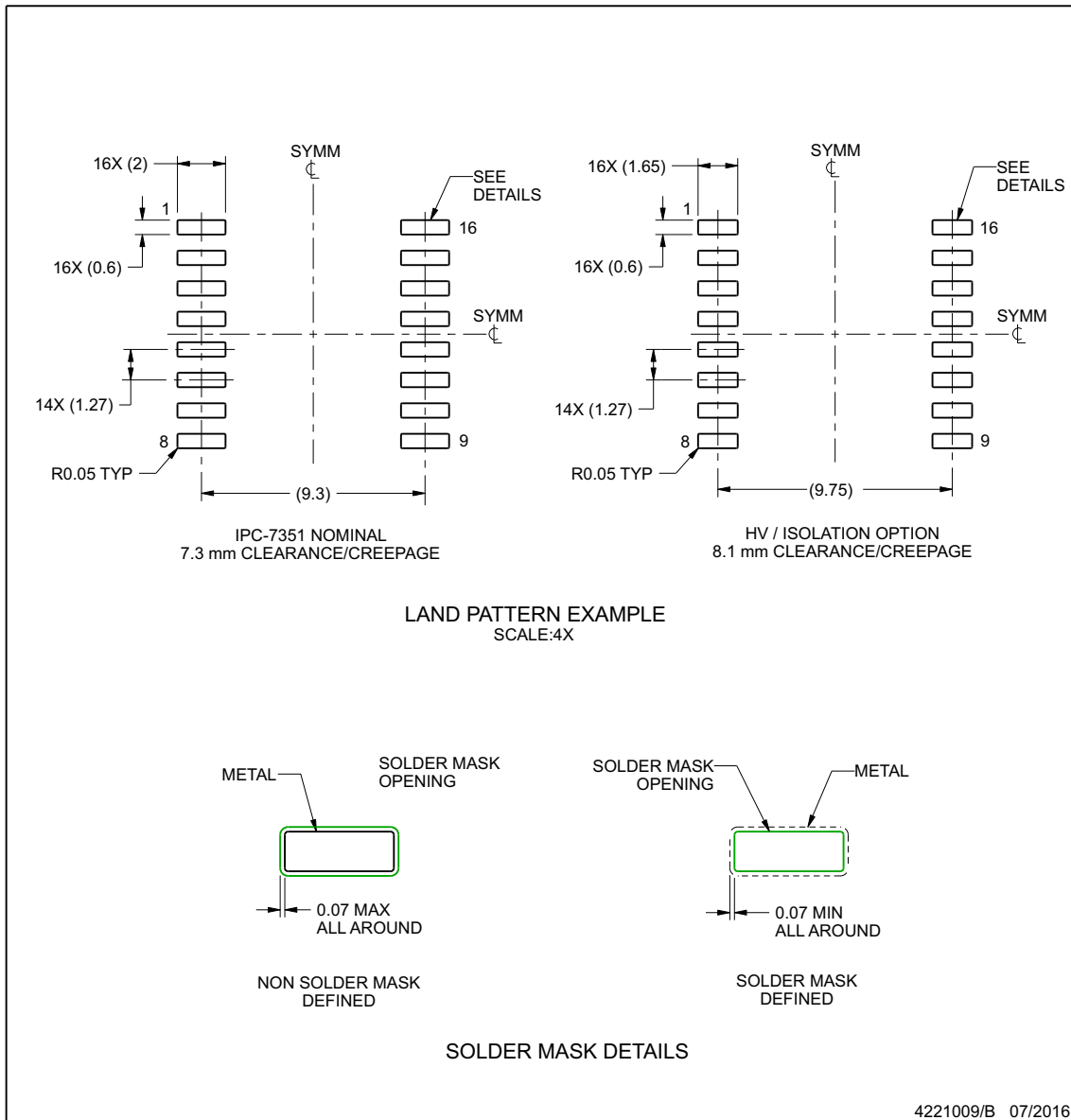
www.ti.com

## EXAMPLE BOARD LAYOUT

### DW0016B

### SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

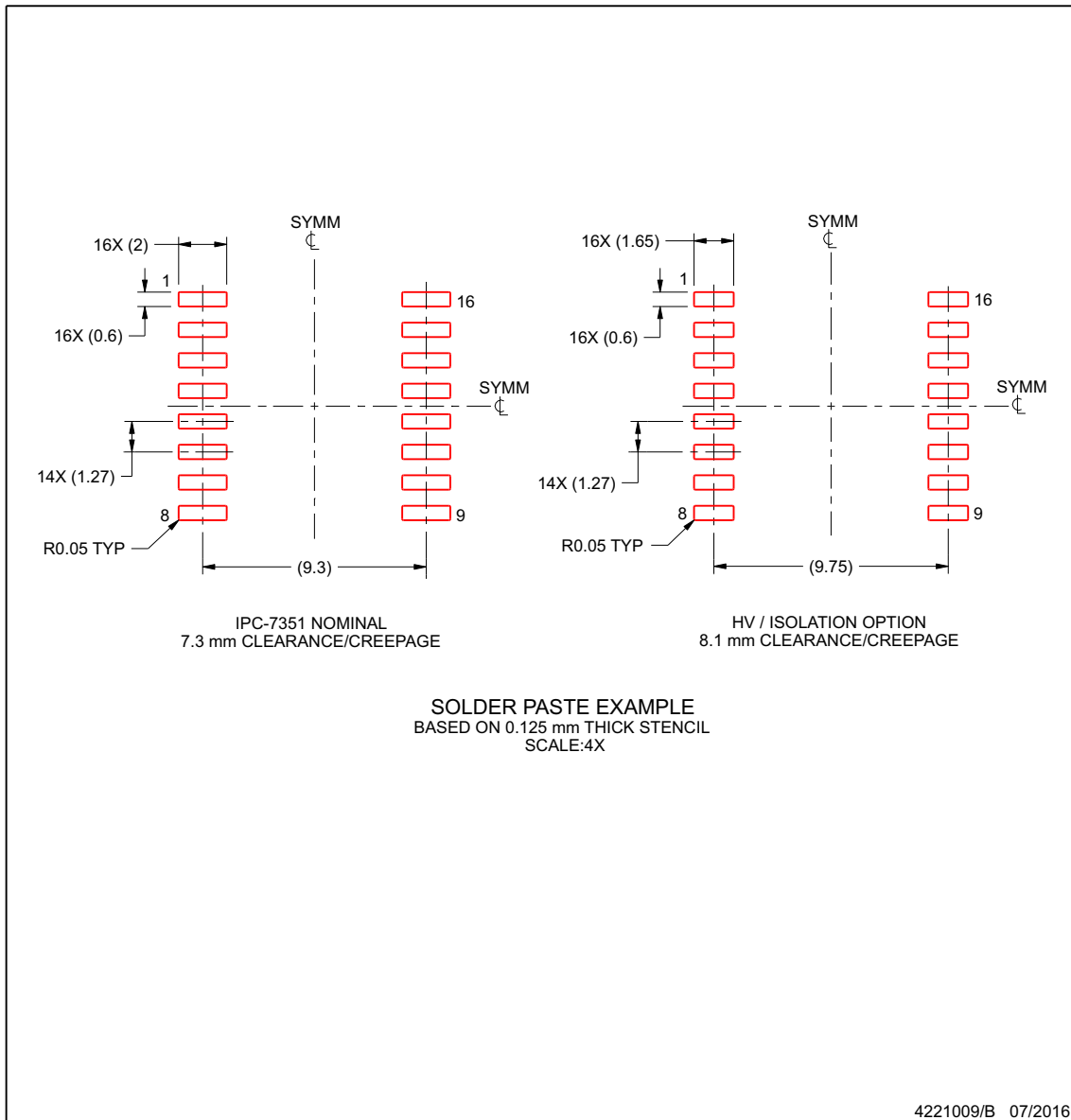
www.ti.com

## EXAMPLE STENCIL DESIGN

**DW0016B**

**SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

www.ti.com

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ISO6760LDWR	ACTIVE	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6760L	<a href="#">Samples</a>
ISO6760LNDWR	ACTIVE	SOIC	DW	16	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6760LN	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



## GENERIC PACKAGE VIEW

**DW 16**

**SOIC - 2.65 mm max height**

7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224780/A



# DW0016B

# PACKAGE OUTLINE

## SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

### NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



# EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司